

FREQUENCY COMPARATOR CIRCUIT

Publication number: JP2001167532

Publication date: 2001-06-22

Inventor: KOJIMA HIROAKI

Applicant: TEXAS INSTRUMENTS JAPAN

Classification:

- international: **G11B20/14; H03D13/00; H03K5/26; H03L7/06;**
G11B20/14; H03D13/00; H03K5/22; H03L7/06; (IPC1-7): G11B20/14; H03K5/26; H03L7/06

- European: H03D13/00A

Application number: JP19990348233 19991208

Priority number(s): JP19990348233 19991208

Also published as:



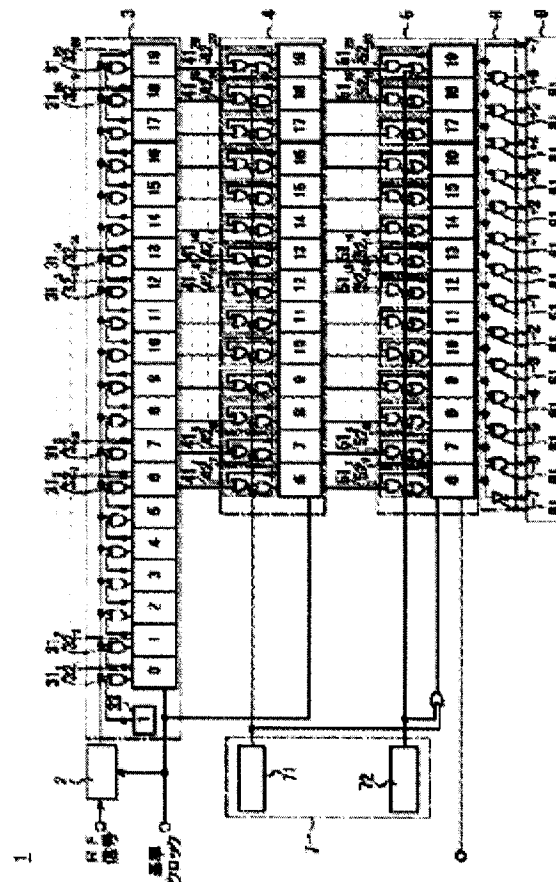
US6580297 (B2)

US2002180488 (A1)

Report a data error here

Abstract of JP2001167532

PROBLEM TO BE SOLVED: To provide a technology which speeds up a read of the RF signal of a DVD. **SOLUTION:** This invented frequency comparator circuit 1 has an edge interval detecting circuit 3, a maximum interval detecting circuit 4, and a minimum interval detecting circuit 5. The edge interval detecting circuit 3 detects the number of pulses of a reference clock corresponding to the pulse width (edge interval) of the RF signal, the maximum interval detecting circuit 4 detects the maximum value of edge intervals in one frame, i.e., the maximum edge interval, and the minimum interval detecting circuit 5 detects the minimum value of maximum edge intervals of plural frames; and the minimum value of the maximum edge interval is compared with a number representing the period of a frame synchronizing signal to make a frequency comparison. The edge interval detecting circuit 3, maximum interval detecting circuit 4, and minimum interval detecting circuit 5 are all composed of registers and the frequency comparison can be made without using a comparator nor a counter which are slow in operation speed, thereby the operation speed can be increased as compared with a conventional circuit which uses a comparator and a counter.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-167532
(P2001-167532A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 1 1 B 20/14	3 5 1	C 1 1 B 20/14	3 5 1 A 5 D 0 4 4
H 0 3 K 5/26		H 0 3 K 5/26	F 5 J 0 3 9
H 0 3 L 7/06		H 0 3 L 7/06	Z 5 J 1 0 6

審査請求 未請求 請求項の数6 O L (全 14 頁)

(21)出願番号 特願平11-348233
(22)出願日 平成11年12月8日(1999.12.8)

(71)出願人 390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号
(72)発明者 小島 啓彰
東京都新宿区西新宿6丁目24番1号 西新
宿三井ビルディング3階 日本テキサス・
インスツルメンツ株式会社内
(74)代理人 100102875
弁理士 石島 茂男 (外1名)

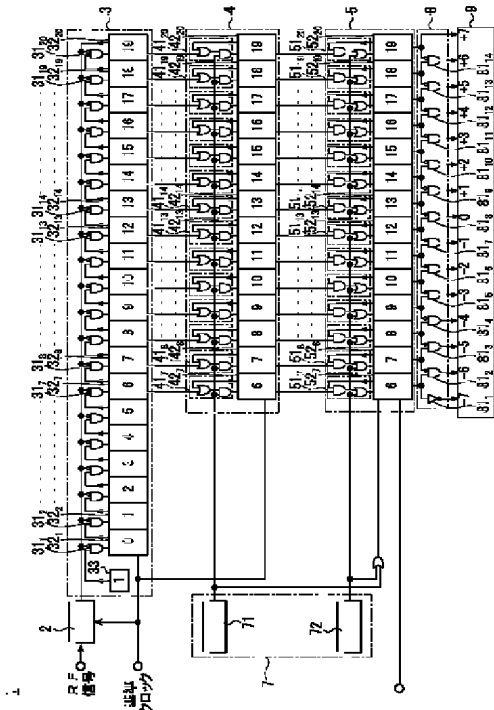
最終頁に続く

(54)【発明の名称】 周波数比較回路

(57)【要約】

【課題】DVDのRF信号の読み出しが高速になる技術を提供する。

【解決手段】本発明の周波数比較回路1はエッジ間隔検出回路3と、最大間隔検出回路4と、最小間隔検出回路5とを有している。エッジ間隔検出回路3によってRF信号のパルス幅(エッジ間隔)に応じた基準クロックのパルス数が検出され、1フレーム中のエッジ間隔の最大値すなわち最大エッジ間隔が最大間隔検出回路4で検出され、複数フレームの最大エッジ間隔の最小値が最小間隔検出回路5で検出され、最大エッジ間隔の最小値がフレーム同期信号の期間を示す数と比較されて周波数比較がなされる。エッジ間隔検出回路3、最大間隔検出回路4、最小間隔検出回路5は、ともにレジスタで構成されており、動作速度の遅いコンパレータやカウンタを用いなくとも周波数比較ができるので、コンパレータやカウンタを用いていた従来回路に比して、動作速度を向上させることができる。



【特許請求の範囲】

【請求項1】2値データのシリアル信号とクロック信号とを入力して上記シリアル信号のデータ変化を示すパルス信号を出力するエッジ検出回路と、
上記パルス信号と上記クロック信号とを入力して上記シリアル信号のデータ変化のない期間に対応する上記クロック信号の周期数を示す数値データを出力するエッジ間隔検出回路と、
上記数値データと上記クロック信号と第1のリセット信号を入力し、上記クロック信号に応じて上記数値データの最大値を記憶及び出力するとともに、上記第1のリセット信号に応じて記憶した最大値をリセットする最大値記憶回路と、を有する周波数比較回路。

【請求項2】上記最大値と上記第1のリセット信号と第2のリセット信号とを入力し、上記第1のリセット信号に応じて上記最大値の最小値を記憶及び出力するとともに、上記第2のリセット信号に応じて上記最小値をリセットする最小記憶回路を有する請求項1に記載の周波数比較回路。

【請求項3】上記エッジ間隔検出回路はシリアルレジスタを含み、上記パルス信号が第1の値又は第2の値のときに上記クロック信号に応じて第1の値又は第2の値を上記シリアルレジスタの初段から順次にシフトすることにより上記数値データを求め、上記パルス信号の論理変化により上記シリアルレジスタがリセットされる請求項1又は2に記載の周波数比較回路。

【請求項4】上記最大間隔検出回路は上記シリアルレジスタの所定の段に対応する複数の第1の単位記憶回路を含み、上記各第1の単位記憶回路が上記数値データの所定のビットと記憶している値との論理和演算を行なうことにより上記最大値を求める請求項3に記載の周波数比較回路。

【請求項5】上記最小値検出回路は複数の上記第1の単位記憶回路に対応する複数の第2の単位記憶回路を含み、上記各第2の単位記憶回路が上記最大値の所定のビットと記憶している値との論理積演算を行なうことにより上記最小値を求める請求項4に記載の周波数比較回路。

【請求項6】隣接する上記第1の単位記憶回路又は上記第2の単位記憶回路の値の相違から周波数比較信号を求める出力回路を有する請求項4又は5に記載の周波数比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばCD (Compact Disk) やDVD (Digital Video Disk) の光ディスク等の円盤状の記録媒体を一定の速度で回転させながら、記録媒体に記録されたデータを再生するデータ再生装置の技術分野に関するものである。

【0002】

【従来の技術】CDやDVD等の円盤状の記録媒体(以下でディスクと称する)には、元のデジタルデータがEFM変調された所定ビット数の変調データが記録されている。かかる変調データを復調して再生するには、モータを駆動し、ディスクを所定速度で回転させながら、光ピックアップを読み出し位置に移動させる。読み出し位置では光ピックアップが、回転したディスクに光を照射し、ディスクで反射された光を検出して、ディスクの記憶内容を示すアナログのRF (Radio frequency) 信号を生成する。

【0003】DVD等のディスク上には、線速度一定の方式であるCLV (Constant linear velocity) 方式でデータが記載されているが、読出装では、ディスクの回転制御が容易であることから、角速度が一定であるCAV (Constant angular velocity) 方式で読み出しを行う場合が多い。このような場合、ディスクの読み出し位置によってRF信号の読出し周波数が異なる。RF信号は、基準クロックに同期して読み出されるため、基準クロックの周波数が固定されていると、RF信号に同期させることができず、正しい読み出しができない。

【0004】RF信号を正しく読み出すためには、常にRF信号の読み出し周波数と一致するように、基準クロックの周波数を制御する必要がある。1ビットのデータに対応する時間をTとすると、DVDディスクでは、RF信号は最大14Tのパルス幅を有するデータであり、1488Tの期間を1フレームとしている。1フレーム中には14Tのパルス幅を有するパルス列が1つだけ含まれており、フレーム同期信号として用いられている。

【0005】このようなRF信号から基準クロックを再生するには、まず基準クロックの周波数をRF信号の読出し周波数と一致させる必要がある。このため、フレーム同期信号が出力される間に、フレーム同期信号の期間を示す数(ここでは14)と同数の基準クロックが出力されるように基準クロックの周波数を制御している。

【0006】基準クロックの周波数とRF信号の周波数を一致させる回路として、PLLループが多く用いられている。PLLループは、周波数比較回路と、周波数比較回路の出力端子に入力端子が接続されたループフィルタと、ループフィルタの出力端子に入力端子が接続されたVCO (Voltage controlled oscillator) とを有しており、周波数比較回路には、VCOの出力信号とRF信号が入力されるように構成されている。周波数比較回路は、RF信号をリファレンス信号として、VCOの出力信号の周波数がRF信号の周波数と一致するようにVCOの制御電圧を制御している。

【0007】図7の符号101に、DVDディスクのRF信号から基準クロックを生成する際に用いられる周波数比較回路の一例を示す。この周波数比較回路101は、エッジ検出回路102と、カウンタ103と、コンパレータ104と、最大ラッチ回路105と、最小ラッ

チ回路106と、タイミング生成回路107とを有している。

【0008】エッジ検出回路102には、RF信号と、RF信号読み出しの際の基準クロックとが入力され、現在出力されている基準クロックに同期して、RF信号の立ち上がり／立ち下がりエッジが検出され、検出パルスがカウンタ103に出力される。

【0009】カウンタ103には、RF信号の立ち上がり／立ち下がりエッジの検出パルスと基準クロックとが入力され、エッジの検出パルスが入力されてから、次のエッジの検出パルスが入力されるまでの間、基準クロックのパルス数が二値でカウントされる。カウント値はコンパレータ104に出力される。

【0010】コンパレータ104では、カウンタ103の出力値と、フレーム同期信号の期間を示す数(ここでは14)との比較がなされ、最大ラッチ回路105に出力される。カウンタ103の出力値が基準値より大きい場合には“大”が、一致した場合には“一致”が、小さい場合には“小”が、それぞれ最大ラッチ回路105に出力される。

【0011】最大ラッチ回路105では、自分自身が保持している値と、コンパレータ104の出力値とを比較して、いずれか大きい値を示す値に自分自身が保持している値を書き換える。書き換えの際の優先順位は、“大”、“一致”、“小”の順であって、“小”が保持された状態で“一致”が入力されると“一致”に書き換えられ、“一致”が保持された状態で“大”が入力されると、“大”に書き換えられる。また、“一致”が保持された状態で“小”が入力されると“一致”が保持され、“大”が保持された状態で“一致”や“小”が入力されると“大”が保持される。

【0012】上記回路では、エッジ検出回路102で、順次RF信号のエッジの検出パルスが出力されるごとに、カウンタ103で基準クロックのパルス数がカウントされる。このパルス数はRF信号のパルス幅に相当する。コンパレータ104では、カウンタ103からカウント値が出力される度に、カウント値とフレーム同期信号の期間を示す数との比較処理がなされ、比較結果が最大ラッチ回路105に出力される。

【0013】最大ラッチ回路105の保持値は、比較結果が入力されるごとに書き換えられる。この保持値はタイミング生成回路107により、少なくとも1フレームを含む時間間隔でリセットされ、リセットされる直前には、最大ラッチ回路105の保持値は、実際に1フレーム中で検出されたパルス幅の最大値と、フレーム同期信号の期間を示す数との比較結果に等しくなる。こうして得られた保持値は、最小ラッチ回路106に出力される。

【0014】最小ラッチ回路106では、自分自身が保持している値と最大ラッチ回路105の出力値とを比較

し、いずれか小さい値に対応する値に、自分自身が保持している値を書き換える。その優先順位は、“小”、“一致”、“大”の順であって、自分自身が“大”を保持しているときに“一致”が入力されると、“一致”が保持され、“一致”を保持しているときに“小”が入力されると、“小”が保持される。“一致”を保持しているときに“大”が入力されても“一致”を保持し、“小”を保持しているときに“一致”や“大”が入力されても“小”が保持される。

【0015】最小ラッチ回路106の保持値は、タイミング生成回路107により、複数フレームを含む時間間隔でリセットされ、リセットされるまでの期間には、最大ラッチ回路105から、実際に1フレーム中で検出されたパルス幅の最大値と、フレーム同期信号の期間を示す数との比較結果が複数回入力される。最小ラッチ回路106はそのうち最も小さい値に対応する比較結果を保持する。

【0016】以上のようにして、1フレーム中で検出されたパルス幅の最大値と、フレーム同期信号の期間を示す数との比較結果に対応する“大”、“一致”、“小”の値のうちいずれか一つの値が、最小ラッチ回路106に保持され、ループフィルタを介して図示しないVCOに出力される。

【0017】VCOは、最小ラッチ回路106の出力値に応じて基準クロックの周波数を制御し、最小ラッチ回路106の出力値が“小”のときには、基準クロックの周波数がRF信号の読み出し周波数に比して低いため、基準クロックの周波数を所定周波数だけ高くする。他方、最小ラッチ回路106の出力値が“大”のときには、基準クロックの周波数がRF信号の読み出し周波数に比して高いため、基準クロックの周波数を所定周波数だけ低くする。このように基準クロックの周波数を制御することで、1フレーム中で検出されたパルス幅の最大値と、フレーム同期信号の期間を示す数とが一致するようにしている。

【0018】かかる制御により最小ラッチ回路106の出力値が“一致”になり、1フレーム中で検出されたパルス幅の最大値と、フレーム同期信号の期間を示す数とが一致すると、基準クロックの周波数がRF信号の周波数と一致する。このようにして、基準クロックの周波数と、RF信号の読み出し周波数を一致させている。

【0019】こうしてRF信号の読み出し周波数と、基準クロックの周波数とが一致したら、基準クロックの位相をRF信号の位相と一致させると、RF信号に応じた基準クロックを生成することができる。この基準クロックに同期してRF信号を読み出すことで、正しいデータ再生が可能になる。

【0020】しかしながら、上記構成の周波数比較回路101においては、処理速度の遅いコンパレータ103を用いており、そのコンパレータ103で、カウンタ1

02からカウント値が出力されるごとにカウント値と基準値とを比較処理する必要があるため、動作速度をさらに高めることが困難であった。

【0021】

【発明が解決しようとする課題】本発明は、上記従来技術の不都合を解決するために創作されたものであり、その目的は、周波数比較を高速にすることが可能な周波数比較回路を提供することにある。

【0022】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の周波数比較回路は、2値データのシリアル信号とクロック信号とを入力して上記シリアル信号のデータ変化を示すパルス信号を出力するエッジ検出回路と、上記パルス信号と上記クロック信号とを入力して上記シリアル信号のデータ変化のない期間に対応する上記クロック信号の周期数を示す数値データを出力するエッジ間隔検出回路と、上記数値データと上記クロック信号と第1のリセット信号を入力し、上記クロック信号に応じて上記数値データの最大値を記憶及び出力するとともに、上記第1のリセット信号に応じて記憶した最大値をリセットする最大値記憶回路とを有する。請求項2に記載の発明は、請求項1に記載の周波数比較回路であって、上記最大値と上記第1のリセット信号と第2のリセット信号とを入力し、上記第1のリセット信号に応じて上記最大値の最小値を記憶及び出力するとともに、上記第2のリセット信号に応じて上記最小値をリセットする最小記憶回路を有する。請求項3に記載の発明は、請求項1又は2に記載の周波数比較回路であって、上記エッジ間隔検出回路はシリアルレジスタを含み、上記パルス信号が第1の値又は第2の値のときに上記クロック信号に応じて第1の値又は第2の値を上記シリアルレジスタの初段から順次にシフトすることにより上記数値データを求め、上記パルス信号の論理変化により上記シリアルレジスタがリセットされる。請求項4に記載の発明は、請求項3に記載の周波数比較回路であって、上記最大間隔検出回路は上記シリアルレジスタの所定の段に対応する複数の第1の単位記憶回路を含み、上記各第1の単位記憶回路が上記数値データの所定のビットと記憶している値との論理和演算を行なうことにより上記最大値を求める。請求項5に記載の発明は、請求項4に記載の周波数比較回路であって、上記最小値検出回路は複数の上記第1の単位記憶回路に対応する複数の第2の単位記憶回路を含み、上記各第2の単位記憶回路が上記最大値の所定のビットと記憶している値との論理積演算を行なうことにより上記最小値を求める。請求項6に記載の発明は、請求項4又は5に記載の周波数比較回路であって、隣接する上記第1の単位記憶回路又は上記第2の単位記憶回路の値の相違から周波数比較信号を求める出力回路を有する。

【0023】本発明の周波数比較回路によれば、エッジ

間隔検出回路が、シリアル信号の極性変化がない間に、入力されたクロック信号（基準クロック）のパルス数に応じた数だけ、シリアルレジスタの先頭から連続して第1の値を記憶させることにより、クロック信号のパルス数を検出することができる。

【0024】上記周波数比較回路には、最大値検出回路が設けられており、複数回クロック信号のパルス数が検出された場合には、上記シリアルレジスタの所定の段に対応する複数の第1の単位記憶回路が、上記シリアルレジスタから出力される数値データの所定のビットと記憶している値との論理和演算を行なうことにより、クロック信号のパルス数の最大値を検出している。

【0025】以上のように構成することにより、最大値検出回路の各第1の単位記憶回路に一旦第1の値が記憶されると、その後上記数値データの所定のビットが第2の値となっても、第1の値が記憶され続ける。従って、最大値検出回路の各第1の単位記憶回路では、第1の値が記憶された第1の単位記憶回路の個数は、増えることがあっても減ることはない。

【0026】第1の値が記憶された第1の単位記憶回路の個数は、極性変化がない間でのクロック信号のパルス数と対応するものとする、最大値検出回路の各第1の単位記憶回路には、複数回検出されたクロック信号のパルス数の最大値に対応した個数だけ、第1の値が記憶されることになる。

【0027】かかる構成の周波数比較回路において、シリアル信号をRF信号とした場合には、最大値検出回路には、RF信号の最大パルス幅を有するフレーム同期信号に対応した個数だけ、第1の値が記憶され、RF信号の最大パルス幅に応じたクロック信号のパルス数を検出することができる。これにより、RF信号の読み出し周波数と、クロック信号の周波数との大小を比較することができる。

【0028】従来、RF信号の読み出し周波数と、クロック信号の周波数との周波数比較を行うには、動作速度の遅いカウンタやコンパレータ等を用いていたが、本発明の周波数比較回路は、シフトレジスタ（シリアルレジスタ）などのレジスタ列で構成することが可能であり、カウンタやコンパレータ等を用いる必要がなく、動作速度を従来に比して向上させることができる。

【0029】なお、本発明の周波数比較回路において、第1のリセット信号により、最大値検出回路内の各第1の単位記憶回路の記憶内容を第2の値にリセットするように構成してもよい。特に、RF信号の読み出し周波数とクロック信号とを比較する際には、1フレームごとにリセットして、1フレーム中の最大パルス長すなわちフレーム同期信号が出力されているときのクロック信号のパルス数を求めることができる。

【0030】また、本発明の周波数比較回路において、周波数比較信号を出力する出力回路を設けてもよい。こ

の出力回路によって、記憶内容が異なる位置を検出することができる。記憶内容が異なる位置は、クロック信号のパルス数に対応しているため、この位置により、クロック信号の周波数と、RF信号の読み出し周波数との誤差を求めることができる。

【0031】さらに、本発明の周波数比較回路において、最小値検出回路を設ける構成としてもよい。このように構成することにより、最小値検出回路内の各第2の単位記憶回路に一旦第2の値が記憶されると、その後上記数値データの所定のビットが第1の値となっても、第2の値が記憶され続ける。従って、最小値検出回路内の各第2の単位記憶回路では、第2の値が記憶された第2の単位記憶回路の個数は、増えることがあっても減ることではない。他方、第1の値が記憶された第2の単位記憶回路の個数は、減ることはあっても増えることはない。

【0032】第1の値が記憶された第1の単位記憶回路の個数は、上述したようにクロック信号のパルス数と対応するので、最小値検出回路中の各第2の単位記憶回路には、複数検出されたクロック信号のパルス数の最大値のうち、最も小さい値に対応した個数だけ、第1の値が記憶されることになる。

【0033】特に、シリアル信号がRF信号の場合には、何らかの異常により無信号状態が生じて、本来のクロック信号のパルス数の最大値よりも大きい値が最大値として検出され、これが原因で誤動作が生じることがあるが、上述した最小値検出回路により、複数の最大値をサンプリングして、そのうちの最小値を最大値とすることにより、無信号状態が最大値として検出されないようにすることができる。従って、無信号状態を最大値として検出することによる誤動作が生じないようにすることができる。

【0034】なお、本発明の周波数比較回路において、第2のリセット信号により、最小値検出回路内の各第2の単位記憶回路の記憶内容を第2の値にリセットするように構成してもよい。

【0035】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図1の符号1に、DVDに記録されたRF信号のクロック再生回路の一部であって、基準クロックの周波数をRF信号の読み出し周波数と比較して一致させるように動作する周波数比較回路の一例を示す。

【0036】この周波数比較回路1は、図2に示すループフィルタ13及びVCO14とともにPLLループ15を構成しており、エッジ検出回路2と、エッジ間隔検出回路3と、最大間隔検出回路4と、最小間隔検出回路5と、タイミング生成部7と、周波数差抽出回路8とを有している。

【0037】エッジ検出回路2は、光ピックアップから出力されるRF信号と、VCO14から出力される基準

クロックとが入力されるように構成されている。このRF信号はシリアルデータの一例であり、ハイ又はローのいずれかの極性をとる二値信号からなる。エッジ検出回路2は基準クロックに同期して、RF信号の立ち上がり／立ち下りのエッジを検出して、検出パルスをエッジ間隔検出回路3に出力する。この検出パルスは、基準クロックの1周期のパルス幅（同期幅）を有し、基準クロックに同期して出力されるパルスであって、エッジが検出されると基準クロックの立ち上がりに同期して“1”に立ち上がり、連続する次の基準クロックの立ち上がりに同期して“0”に立ち下がるパルスである。

【0038】エッジ間隔検出回路3は、1個の状態設定回路33と、複数(ここでは20個)の論理回路31₁～31₂₀及びフリップフロップ回路32₁～32₂₀を有している。各論理回路31₁～31₂₀は、インバータ回路とAND回路とを有している。各インバータの入力端子はエッジ検出回路2の出力端子に接続され、その出力端子はAND回路の一方の入力端子に接続されている。AND回路の他方の入力端子は、初段のフリップフロップ回路32₁に接続されたAND回路では、状態設定回路33の出力端子に接続され、2段目～最終段のフリップフロップ回路32₂～32₂₀に接続されたAND回路では、前段のフリップフロップ回路32₁～32₁₉の出力端子にそれぞれ接続されている。

【0039】初段～最終段のフリップフロップ回路32₁～32₂₀には、ともに基準クロックが入力され、基準クロックが1個入力されるごとに、次段の論理回路32₂～32₂₀に、保持値を出力するように構成されている。

【0040】状態設定回路33は、“1”又は“0”の値のうち、いずれか一方を常時初段の論理回路31₁に出力するように構成されている。ここでは“1”が常時出力されるものとする。

【0041】エッジ検出回路2から“1”なる検出パルスが出力されると、この検出パルスは各論理回路31₁～31₂₀に出力される。論理回路31₁～31₂₀の出力値は、RF信号の極性が変化していない状態に対応する値(以下で第1の値と称する。)&、極性が変化した状態に対応する値(以下で第2の値と称する。)&とのいずれかに相当する“1”又は“0”の値を各フリップフロップ回路32₁～32₂₀に出力する。ここでは、“1”を第1の値とし、“0”を第2の値としている。

【0042】検出パルスは、論理回路31₁～31₂₀のインバータで“0”に反転され、AND回路の一方の入力端子に入力され、AND回路の出力は“0”になる。各AND回路の出力端子は、それぞれ初段～最終段のフリップフロップ回路32₁～32₂₀の入力端子に接続されており、AND回路から出力された“0”は、各フリップフロップ回路32₁～32₂₀に出力されるので、検出パルスが出力されたときには、全てのフリップフロップ

ブ回路3₂₁～3₂₂₀の記憶内容は第2の値“0”にリセットされる。

【0043】“1”なる検出パルスが出力されたときに、1個目の基準クロックのパルスが出力されたものとする、2個目の基準クロックのパルスが出力される時には、検出パルスの出力は“0”になる。“0”なる検出パルスは各論理回路3₁₁～3₁₂₀内の各インバータで“1”に反転され、各AND回路の一方の入力端子に入力される。

【0044】このとき初段の論理回路3₁₁には、状態設定回路3₃の出力値と、検出パルスとが入力され、初段の論理回路3₁₁内のAND回路では、状態設定回路の出力値“1”と、インバータの出力値“1”との論理積“1”がとられ、初段のフリップフロップ回路3₂₁に出力される。従って、初段のフリップフロップ回路3₂₁には、第1の値“1”が書き込まれる。

【0045】このとき、2段目以降の論理回路3₁₂～3₁₂₀では、検出パルスが反転された信号“1”と、それぞれの前段のフリップフロップ回路3₂₁～3₂₁₉の保持値との論理積がとられ、AND回路から、2段目以降のフリップフロップ回路3₂₂～3₂₂₀に“0”（第2の値）が出力され、書き込まれる。

【0046】このように、検出パルスと同期する1個目の基準クロックのパルスで、各フリップフロップ回路3₂₁～3₂₂₀に全て“0”（第2の値）が書き込まれ、2個目の基準クロックのパルスで初段のフリップフロップ回路3₂₁に“1”（第1の値）が書き込まれる。

【0047】フリップフロップ回路3₂₁～3₂₂₀は上述したように、基準クロックのパルスが1個入力されるごとに、保持値を次段の論理回路3₁₂～3₁₂₀に出力するので、3個目のクロックパルスが出力されると、2段目のフリップフロップ回路3₂₂から、“1”が3段目の論理回路3₁₃に出力され、3段目の論理回路3₁₃の出力値が“1”になり、3段目のフリップフロップ回路3₂₃に“1”が書き込まれる。以上のようにして、基準クロックのパルスが1個ずつ出力されるごとに、フリップフロップ回路3₂₁～3₂₂₀には、初段から最終段に向けて1個ずつ、第1の値“1”が充填される。検出パルスが出力されてから出力された基準クロックのパルス数を n （ n は自然数）とすると、 $(n-1)$ 段目のフリップフロップ回路3_{2 $n-1$} まで第1の値“1”が充填される。

【0048】上述したように、フリップフロップ回路3₂₁～3₂₂₀内に充填される“1”（第1の値）は、RF信号の極性が変化していない状態を示しており、各フリップフロップ回路3₂₁～3₂₂₀に書き込まれた“1”の個数は、RF信号の極性変化がない間に出力される基準クロックのパルス数を示している。

【0049】その後、RF信号の極性が変化して、新たな検出パルスが出力されると、上述したように各フリッ

プフロップ回路3₂₁～3₂₂₀内の保持値は、全て“0”にリセットされるが、リセットされる直前には、フリップフロップ回路3₂₁～3₂₂₀内に書き込まれた“1”の個数は、連続する2個の検出パルスの間に出力される基準クロックのパルス数（以下でエッジ間隔と称する。）に対応している。連続する2個の検出パルスの間は、RF信号の1個のパルスのパルス幅に相当するので、RF信号の1個のパルス幅で、何個の基準クロックのパルスが出力されたかをエッジ間隔によって知ることができる。

【0050】上述したエッジ間隔検出回路3の出力には、最大間隔検出回路4が接続されている。この最大間隔検出回路4は、論理回路4₁₇～4₁₂₀と、フリップフロップ回路4₂₇～4₂₂₀とを複数有している。

【0051】論理回路4₁₇～4₁₂₀は、それぞれがOR回路とAND回路とを有している。OR回路の一方の入力端子は、それぞれエッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀の出力端子に接続され、その他方の入力端子は、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀の出力端子に接続されている。OR回路の出力はAND回路の一方の入力端子に接続され、AND回路の他方の入力端子は、最大間隔リセット回路7₁の出力端子に接続されている。

【0052】各論理回路4₁₇～4₁₂₀は、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀と、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀とにそれぞれ1対1に対応付けられており、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀の保持値と、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀の保持値とを随時照合し、いずれか大きい方の値を、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀に出力して書き込むように構成されている。また、初段～最終段のフリップフロップ回路4₂₇～4₂₂₀は、最大値記憶回路の一例を構成している。

【0053】初期状態では、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀の保持値は全て“0”になっており、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀の一部又は全部に“1”が充填されると、“1”が充填されたフリップフロップ回路3₂₇～3₂₂₀に対応する最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀の保持値は“1”に書き換わり、“1”が充填される。

【0054】エッジ検出回路2から検出パルスが出力され、エッジ間隔検出回路3内のフリップフロップ回路3₂₁～3₂₂₀がリセットされる直前には、エッジ間隔に対応する個数だけ“1”が充填されるので、最大間隔検

出回路4内のフリップフロップ回路4₂₇～4₂₂₀にも、エッジ間隔に対応する個数だけ第1の値“1”が充填される。

【0055】検出パルスが出力されて、エッジ間隔検出回路3内のフリップフロップ回路3₂₁～3₂₂₀の保持値が全て“0”にリセットされると、最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀は、各自の保持値と、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀の保持値とを比較して、大きい方を保持するため、リセット後にも、リセット直前の状態を維持し、“1”が充填された個数はリセット前と変わらない。

【0056】検出パルスが出力されたら、エッジ間隔検出回路3では、基準クロックのパルスが1個ずつ出力されるごとに、フリップフロップ回路3₂₁～3₂₂₀の初段から最終段へと“1”が順次充填される。その後、新たに検出パルスが出力されてリセットされる直前には、新たなエッジ間隔に対応する値だけ、エッジ間隔検出回路3内のフリップフロップ回路3₂₁～3₂₂₀内に“1”が充填される。

【0057】このように、検出パルスが出力されるごとに、エッジ間隔検出回路3内のフリップフロップ回路3₂₁～3₂₂₀には、エッジ間隔に対応する位置まで、第1の値“1”が充填され、エッジ間隔が検出されることになる。

【0058】この間、最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀は、自分自身の保持値と、各エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀の保持値とをそれぞれ照合して、いずれか大きい方を保持するように動作する。

【0059】2回検出パルスが出力され、エッジ間隔検出回路3で2回エッジ間隔が検出された場合には、2回目に検出されたエッジ間隔に対応する個数だけ、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀に第1の値“1”が充填され、他方、1回目に検出されたエッジ間隔に対応する個数だけ、最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀に第1の値“1”が保持されている。

【0060】2回目に検出されたエッジ間隔が、最初に検出されたエッジ間隔に比して小さい場合には、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀内で“1”が充填されている位置よりも、エッジ間隔検出回路3内のフリップフロップ回路3₂₇～3₂₂₀内で“1”が充填されている位置が前方にあり、“1”が書き込まれた個数は、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀のほうがエッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀に比して多い。

【0061】最大間隔検出回路4内の各フリップフロップ

回路4₂₇～4₂₂₀は、“1”を保持している場合には、“0”がエッジ間隔検出回路3から出力されても、“1”を保持し続けるので、一旦書き込まれた“1”の個数は、増えることがあっても減ることはない。従って、最大間隔検出回路内の各フリップフロップ回路4₂₇～4₂₂₀からなる最大値記憶回路の記憶内容は換わらない。

【0062】一例として、最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀からなる一時記憶回路の記憶内容が“11111100000000”（1回目に検出されたエッジ間隔は13）であって、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀から成る最大値記憶回路の記憶内容が“1110000000000000”（2回目に検出されたエッジ間隔は10）の場合には、最大値記憶回路の記憶内容は、“1111111000000000”（1回目に検出されたエッジ間隔13）のままである。

【0063】これとは逆に、2回目に検出されたエッジ間隔が、最初に検出されたエッジ間隔に比して大きい場合には、第1の値“1”が書き込まれた個数は、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀のほうがエッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀に比して少ない。

【0064】最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀では、一旦書き込まれた“1”の個数は、増えることがあっても減ることはないので、この場合、最大間隔検出回路4は、自分自身の保持値をエッジ間隔検出回路3内の保持値に書き換える。

【0065】一例として、最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀から成る最大値記憶回路の記憶内容が“1110000000000000”（1回目に検出されたエッジ間隔は10）であって、エッジ間隔検出回路3内の7段目～最終段のフリップフロップ回路3₂₇～3₂₂₀からなる一時記憶回路の記憶内容が“1111111000000000”（2回目に検出されたエッジ間隔は13）の場合には、最大値記憶回路の記憶内容は、一時記憶回路の記憶内容“1111111000000000”（2回目に検出されたエッジ間隔13）に書き換えられる。

【0066】このように、フリップフロップ回路4₂₇～4₂₂₀で構成される最大値記憶回路には、2回検出されたエッジ間隔のうち、大きい方のエッジ間隔が記憶され、そのエッジ間隔に対応する個数だけ、第1の値“1”が充填されることになる。

【0067】複数回検出パルスが出力されるごとに、エッジ間隔検出回路3に保持されるエッジ間隔が、前回検出されたエッジ間隔と比較され、大きい方のエッジ間隔に対応する位置まで“1”が充填されることになるので、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀には、複数回サンプリングされたエッジ間隔

の最大値に対応する位置まで、第1の値“1”が充填されることになる。

【0068】タイミング生成部7は、最大間隔リセット回路71と、最小間隔リセット回路72とを有している。このうち最大間隔リセット回路71は、最大間隔検出回路4内の論理回路41₇～41₂₀に接続されており、最大リセット信号を所定時間間隔で出力できるように構成されている。

【0069】最大間隔検出回路4内の各フリップフロップ回路42₇～42₂₀の保持値は、最大間隔リセット回路71から最大リセット信号が出力されるまでリセットされない。この最大リセット信号は、リセットの際に“0”となり、それ以外の場合には“1”となる信号であって、1フレームの期間より長い所定間隔ごとに“0”が出力されて最大間隔検出回路4をリセットする。

【0070】最大リセット信号が出力される直前は、連続する2個の最大リセット信号が出力される期間に、複数回検出されたエッジ間隔の最大値が保持されることになる。上述したようにこの期間には1フレーム分の期間が含まれているので、1フレームのエッジ間隔のうち、最大値(以下で最大エッジ間隔と称する。)に対応する位置まで、最大間隔検出回路4内のフリップフロップ回路42₇～42₂₀に第1の値“1”が充填されることになる。

【0071】図3のタイミングチャートに、RF信号、基準クロック、検出パルス、エッジ間隔、最大エッジ間隔、最大リセット信号の関係を示す。図3に示すように、最大リセット信号が出力されるまでの間は、検出パルスが出力されるごとに、エッジ間隔は4、6、7、9、5、6、4、14、4、7なる値をとり、この間最大エッジ間隔は4、6、7、9、14となり、最終的には14なる値をとっている。

【0072】以上説明したように、RF信号のエッジが検出されるごとに、エッジ間隔に相当する位置まで“1”(第1の値)をエッジ間隔検出回路3内のフリップフロップ回路32₁～32₂₀に充填させ、1フレーム中の最大エッジ間隔に対応する位置まで“1”(第1の値)を最大間隔検出回路4内のフリップフロップ回路42₇～42₂₀に充填させることにより、1フレーム中の最大エッジ間隔を求めることができる。

【0073】こうして求められた最大エッジ間隔と、正しい最大エッジ間隔、すなわちフレーム同期信号の期間を示す数とを比較すると、RF信号の読み出し周波数と、現在出力されている基準クロックの周波数のうちどちらが高いかを判別することができる。DVDの場合には、正しい最大エッジ間隔は14であるので、最大間隔検出回路4で検出された最大エッジ間隔が15であれば、基準クロックの周波数はRF信号の読み出し周波数よりもクロック1個分だけ高く、逆に最大間隔検出回路

4で検出された最大エッジ間隔が13であれば、基準クロックの周波数はRF信号の読み出し周波数よりもクロック1個分だけ低いことがわかる。

【0074】この比較結果に基づいて、基準クロックの周波数を高くしたり低くしたりすることにより、最大間隔検出回路4で検出された最大エッジ間隔を、フレーム同期信号の期間を示す数(DVDでは14)と一致させ、RF信号の読み出し周波数と、基準クロックの周波数とを一致させることができる。

【0075】ところで、DVDなどのディスクには、読み出し面の表面に異物が付着し、この異物によって無信号状態が長期間発生する場合がある。かかる無信号状態が最大エッジ間隔よりも長期間継続すると、無信号状態の期間を最大エッジ間隔とみなしてしまうため、RF信号の読み出し周波数と基準クロックの周波数とが一致していないにも関わらず一致しているとみなしてしまい、誤動作が生じる。

【0076】本実施形態の周波数比較回路1では、かかる無信号状態による悪影響を排除するため、上述した最大間隔検出回路4の出力に、下記の最小間隔検出回路5が設けられている。

【0077】最小間隔検出回路5は、最大間隔検出回路4内の論理回路41₇～41₂₀及びフリップフロップ回路42₇～42₂₀と同数の論理回路51₇～51₂₀と、フリップフロップ回路52₇～52₂₀とを有している。

【0078】各論理回路51₇～51₂₀は、それぞれがAND回路とOR回路とを有している。最小間隔検出回路5内の論理回路51₇～51₂₀のAND回路の一方の入力端子は、最大間隔検出回路4内の初段～最終段のフリップフロップ回路42₇～42₂₀の出力端子にそれぞれ接続され、その他方の入力端子は、最小間隔検出回路5内の初段～最終段のフリップフロップ回路52₇～52₂₀の出力端子にそれぞれ接続されている。

【0079】各論理回路51₇～51₂₀は、最大間隔検出回路4内の初段～最終段のフリップフロップ回路42₇～42₂₀と、最小間隔検出回路5内の初段～最終段のフリップフロップ回路52₇～52₂₀とにそれぞれ1対1に対応付けられており、最大間隔検出回路4内の初段～最終段のフリップフロップ回路42₇～42₂₀の保持値と、最小間隔検出回路5内の初段～最終段のフリップフロップ回路52₇～52₂₀の保持値とを照合して、いずれか小さい方の値を、最小間隔検出回路5内の初段～最終段のフリップフロップ回路52₇～52₂₀に書き込むように構成されている。最小間隔検出回路5内の初段～最終段のフリップフロップ回路52₇～52₂₀は、また、最小値記憶回路の一例を構成している。

【0080】上述の最大間隔検出回路4内の初段～最終段のフリップフロップ回路42₇～42₂₀は、最大リセット信号が出力されて各自の保持値がリセットされる直前に、各フリップフロップ回路42₇～42₂₀の保持値

を、一斉に最小間隔検出回路5内の論理回路5₁₇～5₁₂₀にそれぞれ出力する。

【0081】初期状態では、最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀の保持値は全て“1”である。最大リセット信号が出力される直前に、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀には、最大エッジ間隔に相当する位置まで“1”が充填されており、最大エッジ間隔に相当する保持値が最小間隔検出回路5に出力されると、最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀の保持値は、それぞれ最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀の保持値と比較され、いずれか小さい方の値に書き換えられ、最大エッジ間隔に対応する位置まで、“1”が充填される。

【0082】最大リセット信号が出力された直後には、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀の保持値は全て“0”にリセットされるが、リセット後の保持値は最小間隔検出回路5には出力されないで、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀はリセット直前の状態を維持し、最大エッジ間隔に対応する位置まで“1”が充填された状態を保っている。

【0083】その後のリセット動作の直前に、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀から、それらの保持値が、一斉に最小間隔検出回路5内の論理回路5₁₇～5₁₂₀に出力される。

【0084】最大リセット信号が出力される直前には、最大間隔検出回路4内の初段～最終段のフリップフロップ回路4₂₇～4₂₂₀からなる最大値記憶回路には、今回検出された最大エッジ間隔に対応する値が記憶されており、最小間隔検出回路5内の初段～最終段のフリップフロップ回路5₂₇～5₂₂₀からなる最小値記憶回路には、前回検出された最大エッジ間隔に対応する値が保持されていることになる。2回最大リセット信号が出力され、2回最大エッジ間隔が検出された場合には、2回目に検出された最大エッジ間隔は最大値記憶回路に保持され、1回目に検出されたエッジ間隔は最小値記憶回路に保持されることになる。

【0085】この場合には、最初に検出された最大エッジ間隔と2回目に検出された最大エッジ間隔の大小によって、2回目の最大リセット信号が出力される直前における最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀の保持値は異なる。

【0086】2回目に検出された最大エッジ間隔が、最初に検出された最大エッジ間隔に比して大きい場合には、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀内で“1”が充填されている位置は、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀内で“1”が充填されている位置よりも後方に位置しており、“1”が書き込まれた個数は、最大間隔検出回路

4内のフリップフロップ回路4₂₇～4₂₂₀のほうが最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀に比して多い。

【0087】最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀は、“0”を保持している場合には、“1”が最大間隔検出回路4から出力されても、“0”を保持し続け、一旦書き込まれた“1”の個数は、減ることがあっても増えることはないで、この場合最小間隔検出回路5内の最小値記憶回路の記憶内容はかわらない。

【0088】一例として、最大間隔検出回路4内の各フリップフロップ回路4₂₇～4₂₂₀からなる最大値記憶回路の記憶内容が“1111110000000000”（2回目に検出された最大エッジ間隔は13）であって、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀からなる最小値記憶回路の記憶内容が“1111000000000000”（1回目に検出された最大エッジ間隔は10）の場合には、最小値記憶回路の記憶内容は、“1111000000000000”（1回目に検出された最大エッジ間隔10）のままである。

【0089】以上の場合とは逆に、2回目に検出された最大エッジ間隔が、最初に検出された最大エッジ間隔に比して小さい場合には、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀内で“1”が充填されている位置よりも、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀内で“1”が充填されている位置が前方に位置し、“1”が書き込まれた個数は、最大間隔検出回路4内のフリップフロップ回路4₂₇～4₂₂₀のほうが最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀に比して少ない。

【0090】この場合には、最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀では、一旦書き込まれた“1”の個数は、減ることがあっても増えることはないで、最小間隔検出回路5内の最小値記憶回路は、記憶内容を最大値記憶回路の記憶内容に書き換える。

【0091】一例として、最大間隔検出回路4の各フリップフロップ回路4₂₇～4₂₂₀からなる最大値記憶回路の記憶内容が“1111000000000000”（2回目に検出された最大エッジ間隔は10）であって、最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀からなる最小値記憶回路の記憶内容が“1111111000000000”（1回目に検出された最大エッジ間隔は13）の場合には、最小値記憶回路の記憶内容は、最大値記憶回路の記憶内容“1111000000000000”（2回目に検出された最大エッジ間隔10）に書き換えられる。

【0092】このように、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀には、2回検出された最大エッジ間隔のうち、小さい値が保持され、保持され

た最大エッジ間隔に対応する位置まで、“1”が充填されることになる。

【0093】複数回最大リセット信号が出力されるごとに、最大エッジ間隔の大小が比較されて小さい方が保持されるので、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀には、複数回サンプリングされた最大エッジ間隔の最小値に対応する位置まで、“1”が充填されることになる。

【0094】タイミング生成部7内の最小間隔リセット回路7₂は、最小間隔検出回路5内の論理回路5₁₇～5₁₂₀に接続されており、最小リセット信号を出力できるように構成されている。

【0095】最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀の保持値は、この最小リセット信号が出力されるまでリセットされない。この最小リセット信号は、リセットの際に“1”となり、それ以外の場合には“0”となるパルスであって、少なくとも、最大リセット信号が複数個含まれる程度の時間間隔ごとに、“1”が出力され、最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀の保持値が“11111111”なる値にリセットされる。

【0096】かかる最小リセット信号が出力される直前には、複数回サンプリングされた最大エッジ間隔の最小値に対応する値が最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀に保持されることになる。

【0097】図4のタイミングチャートに、最大リセット信号、エッジ間隔、最大エッジ間隔、最大エッジ間隔の最小値、最終的最小値、最小リセット信号の関係の一例を示す。図4で、最大エッジ間隔の最小値とは、最大リセット信号が出力されるごとに変化する最大エッジ間隔の最小値を示しており、最終的最小値とは、最小リセット信号が出力される直前の最大値の最小値を示している。

【0098】図4では、最大リセット信号が出力されるごとに、最大エッジ間隔は15、14、15、14、16、15、14、14、16、14、14、15、16、14となり、最大リセット信号が出力されるごとに、最大エッジ間隔の最小値は14、15、14、16、15、14、16、14、16なる値をとっている。最大エッジ間隔の最小値は、最小リセット信号が出力される直前はいずれも14なる値をとっていることが示されている。

【0099】以上のようにして、複数回検出された最大エッジ間隔の最小値に対応する位置まで、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀には“1”が充填されることになる。

【0100】このように、最小間隔検出回路5を設け、複数回最大エッジ間隔を検出してそれらの最小値を求めると、無信号状態の期間が最大エッジ間隔として検出されても、無信号状態の期間が本来の最大エッジ間隔より

も長い場合には、無信号状態の期間は真の最大エッジ間隔とはみなされない。従って、無信号状態の期間を最大エッジ間隔とみなすことによる誤動作が生じないようにすることができる。

【0101】最小リセット信号に応じて、最小間隔検出回路5内の各フリップフロップ回路5₂₇～5₂₂₀から、複数回検出された最大エッジ間隔の最小値に対応する保持値が周波数差抽出回路8へと出力される。

【0102】周波数差抽出回路8は、AND回路やインバータなどの組み合わせからなる第1～第14の出力論理回路8₁₁～8₁₁₄を有している。各出力論理回路8₁₁～8₁₁₄のうち、第1の出力論理回路8₁₁はインバータで構成されている。第2～第14の出力論理回路8₁₂～8₁₁₄はAND回路で構成されており、隣あう最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀の記憶内容が異なるときにのみ“1”を出力し、同じ記憶内容のときには“0”を出力するように構成されている。例えば、第2、第3の出力論理回路8₁₂、8₁₃は、1段目、2段目のフリップフロップ回路5₂₇、5₂₈と、2段目、3段目のフリップフロップ回路5₂₈、5₂₉の記憶内容が異なるときに、“1”を出力するように構成されている。

【0103】従って、どの出力論理回路8₁₁～8₁₁₄から“1”が出力されているかを検出することにより、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀の、どの位置まで“1”が充填されているかを検出することができる。

【0104】例えば、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₂₀からなる最小値記憶回路の記憶内容が、

“1000000000000000”

“1100000000000000”

“1110000000000000”

・

・

の場合には、それぞれ初段、2段目、3段目のフリップフロップ回路5₂₇、5₂₈、5₂₉の保持値と、それぞれの次段のフリップフロップ回路5₂₈、5₂₉、5₂₁₀の保持値が、それぞれ“1”、“0”になっているので、第2、第3、第4の出力論理回路8₁₂、8₁₃、8₁₄の出力がそれぞれ“1”になる。このとき、それぞれ初段、2段目、3段目のフリップフロップ回路5₂₇、5₂₈、5₂₉まで“1”が充填されている。

【0105】上述したように“1”が充填される位置は、最大エッジ間隔の最小値と対応しているので、出力論理回路8₁₁～8₁₁₄のうち、どの出力論理回路から“1”が出力されているかによって、最大エッジ間隔の最小値を知り、RF信号の読み出し周波数と基準クロックの周波数との誤差を知ることができる。

【0106】DVDにおいて、最大エッジ間隔は、基準クロックのパルス数が14になったときに、RF信号の読み出し周波数と基準クロックの周波数とが一致するようにされている。この状態では、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₀に“1”が書き込まれた個数が7個であって、7段目、8段目のフリップフロップ回路5₂₁₃、5₂₁₄の保持値がそれぞれ“1”、“0”である状態では、第8の出力論理回路8₁₈の出力のみが“1”となる。従って、第8の出力論理回路8₁₈の出力のみが“1”の場合に、RF信号の読み出し周波数と基準クロックの周波数とが一致していることがわかる。

【0107】また、第9の出力論理回路8₁₉から“1”が出力された場合には、最大エッジ間隔の最小値は15なので、基準クロックの周波数は、クロックパルス1個分だけRF信号の周波数に比して高いことになる。このときの誤差を+1とする。同様に、第10～第14の出力論理回路8₁₁₀～8₁₁₄から“1”が出力された場合の誤差は、それぞれ+2～+6となり、例えば第14の出力論理回路8₁₁₄から“1”が出力された場合には、基準クロックの周波数が、RF信号の周波数に比してクロックパルス6個分だけ高くなっていることがわかる。

【0108】さらに、第7の出力論理回路8₁₇から“1”が出力された場合には、最大エッジ間隔の最小値は13なので、基準クロックの周波数は、クロックパルス1個分だけRF信号の周波数に比して低いことになる。このときの誤差を-1とする。同様に、第1～第6の出力論理回路8₁₁～8₁₆から“1”が出力された場合の誤差は、それぞれ-7～-2となる。一例として、第6の出力論理回路8₁₆から“1”が出力された場合には、基準クロックの周波数が、RF信号の周波数に比してクロックパルス2個分だけ低くなっていることがわかる。

【0109】このようにして、第1～第14の出力論理回路8₁₁～8₁₁₄のうち、どの出力論理回路から“1”が出力されるかによって、基準クロックの周波数とRF信号の読み出し周波数との誤差を検出することができる。

【0110】各出力論理回路8₁₁～8₁₁₄の出力信号は、出力回路9に出力される。この出力回路9は、上述した図2のPLLループ中のループフィルタ13を介して、出力論理回路8₁₁～8₁₁₄の出力信号に応じた制御電圧をVCO14に出力する。VCO14は、この制御電圧に応じて、基準クロックの周波数を増減させる。

【0111】例えば、第7の出力論理回路8₁₇から“1”が出力された場合には、誤差が-1で、基準クロックの周波数が、クロックパルス1個分だけRF信号の周波数に比して低いので、クロックパルス1個分だけ基準クロックの周波数を上げるように、VCO14の制御

電圧を制御し、VCO14はクロックパルス1個分だけ基準クロックの周波数を高くする。

【0112】このように、誤差に応じた大きさの制御電圧を増減させて基準クロックの周波数を調整し、RF信号の読み出し周波数と、基準クロックの周波数との誤差が0になるようにすることで、RF信号の読み出し周波数と、基準クロックの周波数とが一致する。RF信号の読み出し周波数と、基準クロックの周波数とが一致して、第8の出力論理回路8₁₈の出力のみが“1”になったら、出力回路は、現在出力されている基準クロックの周波数を維持するようにVCO14の制御電圧を制御する。

【0113】以上の動作を経て、基準クロックの周波数がRF信号の読み出し周波数と一致したら、基準クロックは図示しない位相比較器でRF信号の位相と比較され、位相がRF信号の位相と一致され、正しい基準クロックが生成される。こうして生成された正しい基準クロックに同期して、RF信号が読み出される。

【0114】以上説明したように、本実施形態の周波数比較回路1は、フリップフロップ回路と、論理回路とで構成され、コンパレータやバイナリカウンタを用いていない。従って、動作速度の遅いコンパレータやバイナリカウンタを用いていた従来の回路に比して動作速度を速くすることができ、より高速なデータ読み出しに対応できる。

【0115】更に、従来では、基準クロックの周波数がRF信号の読み出し周波数より高いか低いのみを検出し、いずれの場合でも一定周波数だけ基準クロックの周波数を増減するという制御をしていたが、本実施形態では、現在出力されている基準クロックの周波数とRF信号の読み出し周波数との誤差を検出し、この誤差に応じて、基準クロックの周波数を増減させることができる。従って、誤差が大きいときには基準クロックの周波数の増減分を大きくし、他方、誤差が小さいときには増減分を小さくすることで、従来に比して短時間でRF信号の読み出し周波数と一致させるようにすることができる。

【0116】なお、上述の周波数比較回路1では、DVDのRF信号の読み出しについて説明したが、本発明はこれに限られるものではなく、例えばCDのRF信号の読み出しにも適用可能である。CDの場合、RF信号は最大11Tのパルス幅を有するデータであるため、最大エッジ間隔の最小値が11になったときに、RF信号と基準クロックの周波数が一致するようにすればよい。

【0117】最大エッジ間隔の最小値が11のときには、最小間隔検出回路5内のフリップフロップ回路5₂₇～5₂₀には、4段目のフリップフロップ回路5₂₁₀まで“1”が充填され、第5の出力論理回路8₁₅から“1”が出力される。従って、CDの場合には、第5の出力論理回路8₁₅から“1”が出力されたときに、RF信号の周波数と基準クロックの周波数との誤差が0に

なるものと設定するだけでよく、回路構成を変更しなくとも、CDのRF信号の読み出しにも容易に適用することができる。

【0118】また、上述の周波数比較回路1では、複数回サンプリングされた最大エッジ間隔の最小値を最小間隔検出回路5で求めており、異物がディスクに付着することによって生じる無信号状態を、最大エッジ間隔であるとするることによる誤動作を防止できるが、異物などが付着することを考慮しなければ、図5に示すように、最小間隔検出回路5を設けずに、最大間隔検出回路4の出力を直接周波数差抽出回路8に出力する構成としてもよい。この場合には、最小間隔検出回路5が不要なので、周波数合わせ込みに要する時間を短縮することができる。

【0119】さらに、上述の周波数比較回路1を複数個設けてもよい。図6に、図1で説明した構成の周波数比較回路1₁～1₄が4個設けられた周波数比較器21の一例を示す。

【0120】各周波数比較回路1₁～1₄は、0相～3相の基準クロックに応じてそれぞれ動作するように構成されている。0相～3相の基準クロックは、位相がそれぞれ1/4Tだけずれて出力される。各周波数比較回路1₁～1₄の出力信号はともに出力デコード12に出力され、出力デコード12で平均化されて基準クロックとされる。このように、4個の周波数比較回路1₁～1₄を設けると、RF信号の立ち上がり／立ち下がりエッジは、4相の基準クロックと比較して検出されるので、検出精度が4倍になり、周波数比較の分解能が4倍になる。なお、図5では、周波数比較回路1₁～1₄を4個設けているが、周波数比較回路の個数はこれに限らず、必要とす

る周波数比較の分解能に応じて、何個の周波数比較回路を設けてもよい。周波数比較回路1の個数を多くすればするだけ周波数比較の分解能を向上させることができる。

【0121】

【発明の効果】高速なデータ読み出しが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施形態の周波数比較回路を説明する回路図

【図2】本発明の一実施形態のPLLループを説明する回路図

【図3】本発明の一実施形態の周波数比較回路の動作を説明する第1のタイミングチャート

【図4】本発明の一実施形態の周波数比較回路の動作を説明する第2のタイミングチャート

【図5】本発明の他の実施形態の周波数比較回路を説明する回路図

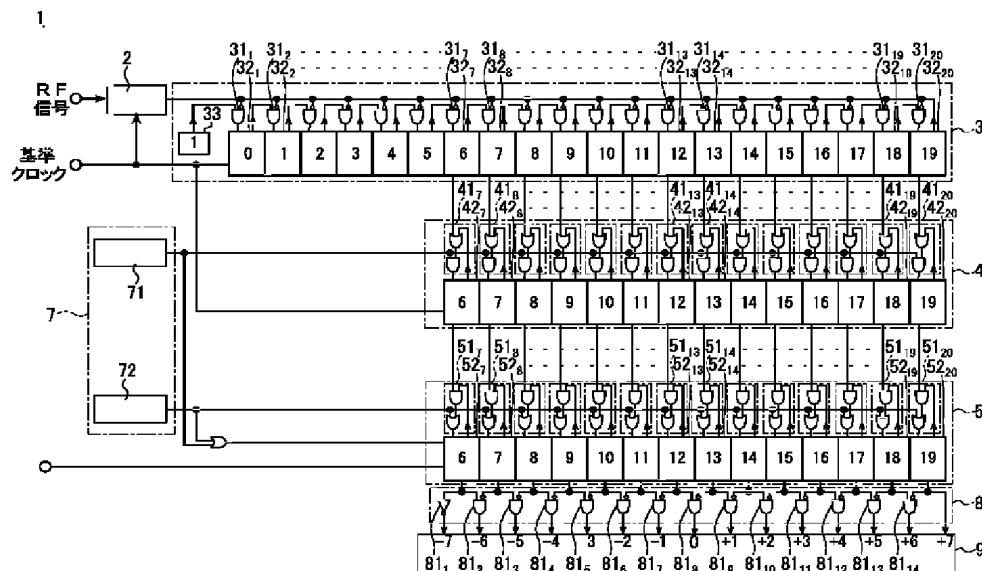
【図6】本発明のその他の実施形態の周波数比較器の構成を説明する図

【図7】従来の周波数比較回路の構成を説明する回路図

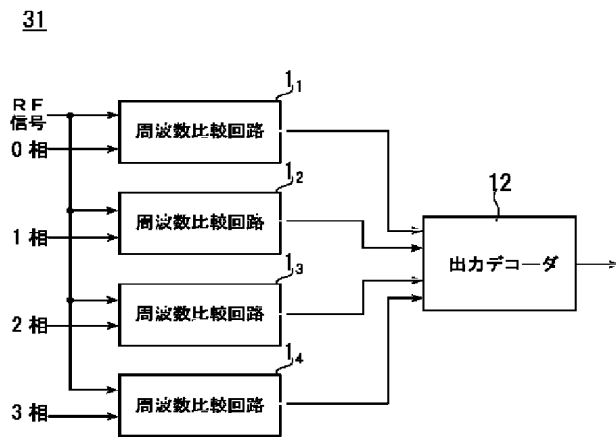
【符号の説明】

2……エッジ検出回路 3……エッジ間隔検出回路
4……最大間隔検出回路 5……最小間隔検出回路
7……タイミング生成部 8……周波数差抽出回路
32₁～32₂₀、42₇～42₂₀、52₇～52₂₀
……フリップフロップ回路(単位記憶回路) 71……最大間隔リセット回路 72……最小間隔リセット回路

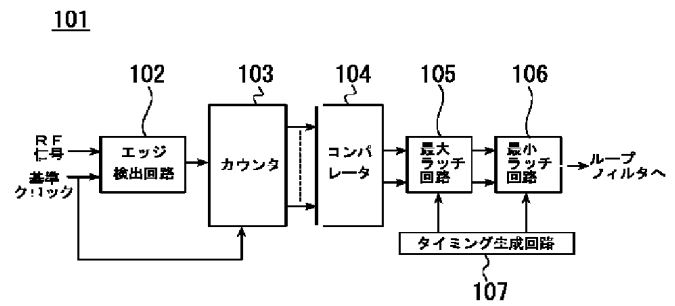
【図1】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5D044 BC06 CC04 GM12 GM14 GM15
GM16
5J039 JJ05 KK04 KK10 KK26 MM03
NN03
5J106 AA04 CC01 CC34 CC35 CC41
DD42 DD43 DD48 JJ03 KK02
LL03